

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-186325

(43)Date of publication of application : 14.07.1998

(51)Int.Cl.

G02F 1/133

G02F 1/136

G09G 3/36

H01L 29/786

H01L 21/336

(21)Application number : 08-350508

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.12.1996

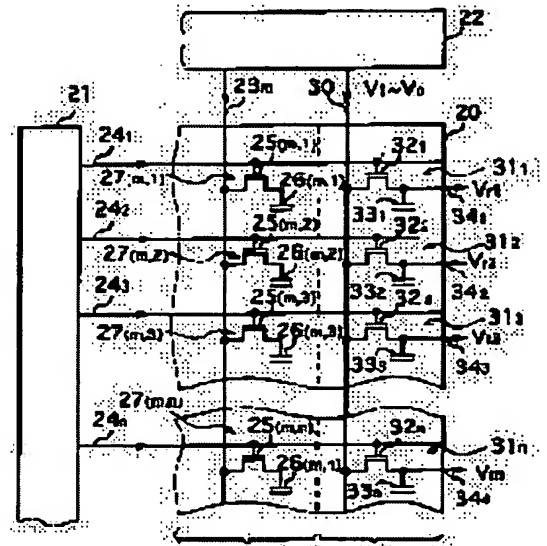
(72)Inventor : NUKIYAMA KAZUHIRO

(54) LIQUID CRYSTAL PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a field through voltage-correcting technology for all gradation voltages, capable of dispensing with adjustments and capable of coping even with the change with time by multiplying holding voltages of respective holding means and performing outputting while subtracting the A-fold holding voltage from the 2A-fold value of one gradation voltage, in which orders are taken into consideration.

SOLUTION: Respective gradation voltages V_1 - V_n are successively supplied from a data bus line driving circuit 22 to a dummy bus line 30 in synchronization with horizontal scanings. Voltages written to dummy pixels 311-31n are lower than original gradation voltages and these differences equivalent to field through voltages. Voltages V_{r1} - V_{rn} of dummy pixel electrodes 331-33n are supplied to respective boosting circuits to be held on capacitances in the boosting circuits in a prescribed timing. In the boosting circuit, the voltage V_{r1} held on the capacitance is multiplied by A and a gradation voltage corresponding to the voltage V_{r1} is multiplied by 2A and, moreover, the A-fold voltage V_{r1} is subtracted from the 2A-fold gradation voltage V_{r1} and then the subtracted result is outputted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-186325

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

1/136

5 0 0

1/136

5 0 0

G 0 9 G 3/36

G 0 9 G 3/36

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 Z

21/336

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平8-350508

(22) 出願日 平成8年(1996)12月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 抜山 和宏

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 有我 軍一郎

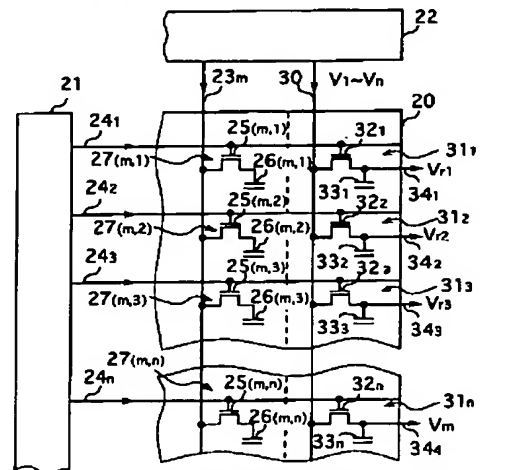
(54) 【発明の名称】 液晶パネル

(57) 【要約】

【課題】 無調整で経時的な変化にも対処でき、しかもすべての階調電圧を対象にしたフィールドスルー電圧の補正技術を提供する。

【解決手段】 データバスラインと同一の電気的特性を有するダミーデータバスライン及びダミーデータバスラインとゲートバスラインとの各交差点に配置したダミー画素を備え、各ダミー画素はゲート電極をゲートバスラインに接続しドレイン電極をダミーデータバスラインに接続しソース電極をダミー画素電極に接続したダミーTFTを含む。階調電圧のそれぞれを水平走査に同期して所定の順番でダミーデータバスライン上に順次供給し、オフ状態に移移したダミーTFTのソース電位を取り込んで保持し、それぞれの保持電位をA倍し順番を加味した一つの階調電圧の2A倍値からA倍の保持電圧を減算して出力する。出力手段よりフィールドスルー電圧分を上乗せした新たな階調電圧が出力される。

一実施例の要部レイアウト模式図



有効表示領域 ブラックマトリクス部分

22: データバスライン駆動回路 (供給手段)
23j: データバスライン
24i: ゲートバスライン
25(u): TFT
26(u): 画素電極
27(u): 画素
30: ダミーデータバスライン
31i: ダミー画素
32i: ダミーTFT
33i: ダミー画素電極

【特許請求の範囲】

【請求項1】交差状に配列した多数のゲートバスライン及び多数のデータバスライン、並びに、該ゲートバスラインとデータバスラインとの各交差点に配置した画素を備え、各画素は、ゲート電極を前記ゲートバスラインに接続し、ドレイン電極を前記データバスラインに接続し、且つ、ソース電極を画素電極に接続したTFTを含む液晶パネルにおいて、

前記データバスラインと同一の電気的特性を有するダミーデータバスライン、及び、該ダミーデータバスラインと前記ゲートバスラインとの各交差点に配置したダミー画素を備え、各ダミー画素は、ゲート電極を前記ゲートバスラインに接続し、ドレイン電極を前記ダミーデータバスラインに接続し、且つ、ソース電極をダミー画素電極に接続したダミーTFTを含み、

さらに、多数の階調電圧のそれぞれを水平走査に同期して所定の順番で前記ダミーデータバスライン上に順次供給する供給手段と、

オフ状態に遷移したダミーTFTのソース電位を取り込んで保持する、ダミーTFTごとの保持手段と、

各保持手段のそれぞれの保持電位をA倍し、且つ前記順番を加味した一つの階調電圧の2A倍値から該A倍の保持電圧を減算して出力する出力手段と、を備えたことを特徴とする液晶パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶パネルに関し、詳しくは、スイッチング素子にTFT（Thin Film Transistor）を用いたアクティブマトリクス方式の液晶パネルに関する。

【0002】

【従来の技術】図4は、従来の液晶パネルの平面レイアウト概略図である。なお、この図では、図示の都合上、実際よりもはるかに少ない画素数（6×6画素）としている。図4において、1は液晶パネルであり、液晶パネル1は、画面の縦方向にレイアウトされた6本のデータバスライン2₁～2₆と、横方向にレイアウトされた6本のゲートバスライン3₁～3₆と、各ラインの交点にレイアウトされた6×6個の画素とを有し、各画素は全て同サイズ及び同一構成で、ITO等の透明導電材料からなる画素電極4及びTFT5で構成されている。6は図示を略した水平走査信号に同期して全てのデータバス*

*ライン2_j（jは1～6）に1ライン（6画素）分の表示電圧を出力するデータライン駆動回路、7は同じく水平走査信号に同期して線順次で各ゲートバスライン3_i（iは1～6）にTFTオン信号を出力するゲートライン駆動回路である。

【0003】図5は、各画素の詳細レイアウト図であり、5はデータバスライン2_j及びゲートバスライン3_iの各一部をドレイン電極やゲート電極とすると共に、ガラス基板上に形成されたアモファスSi8をチャンネル層とするアモファスSiTFT（以下、TFT）である。なお、TFT5は多結晶SiTFTであっても構わない。

【0004】C_{ADDi}は付加容量（補助容量とも言う）である。このC_{ADDi}は次順のゲートバスライン3_{i+1}の一部を拡大し、その拡大部分と画素電極4との間に形成されたものである。図6は、付加容量方式の回路図である。なお、図5と共通する要素には同一の符号を付してある。図6において、C_{ADDi}及びC_{ADDi+1}は上述の付加容量、C_{LCi}及びC_{LCi+1}は画素電極4と共通電極（コモン電極とも言う）COMMとの間に形成された液晶容量、C_{gdi}、C_{gdi+1}、C_{gsi}、C_{gsi+1}、C_{dai}及びC_{dai+1}はそれぞれTFT5の電極間容量、C_{gCOMMi}及びC_{gCOMMi+1}は共通電極COMMとゲートバスライン2_i、2_{i+1}との間に形成された容量である。なお、符号の添え字の「g」はTFT5のゲート電極、「s」はソース電極、「d」はドレイン電極を表している。

【0005】図7は、TFT5の各電極波形図である。TFT5のドレイン電極に任意の階調電圧（便宜的にV_dとする）を有する表示電圧を与えた状態で、ゲート電極にTFTオン信号を与えると、TFT5は、TFTオン信号が十分に高くなった時点（便宜的にピーク電圧V_gに一致した時点t₀）で直ちにオンする。このため、ソース電極（すなわち画素電極4）の電位がドレイン電極の電位V_dに向けて変化を開始し、時点t₁でV_dに到達した後、TFTオン信号の立ち下りの時点t₂で“所定電圧”だけ下がった電位に安定する。この所定電圧とV_dとの電位差は、いわゆる“フィールドスルー電圧”と呼ばれる本来不要な電圧であり、次式①で与えられる電圧である。

【0006】

【数1】

$$\text{フィールドスルー電圧} = \frac{C_{gs}}{C_{gs} + C_{ds} + C_{LC} + C_{ADD}} \times \Delta V_g \quad \text{.....①}$$

【0007】ここに、C_{gs}はTFT5のゲートソース間容量、C_{ds}はドレインソース間容量、C_{LC}は画素電極容量、C_{ADD}は付加容量、ΔV_gはTFTオン信号の

振幅である。式①からも理解されるように、フィールドスルー電圧はTFT5の電極間容量のうち、特にゲートソース間容量（C_{gs}）の影響を大きく受ける。この容

量を通して、ゲートバスライン上の急激な電位変化成分（TFTオン信号の、特に立ち下がり成分）が画素電極4に飛び込むからである。立ち上がり成分はデータバスラインからの信号書込みによって打ち消されるが、立ち下がり成分はそのまま残る。この残余成分が直流分となって現れた場合、液晶には常時直流電圧が印加される状態となり、パネル特性に様々な悪影響（焼き付きやフリッカ、残像など）を及ぼすことになる。

【0008】フィールドスルー電圧がゼロであれば、液晶画素の対向電極電圧（ V_{com} ）は $V_d/2$ に一致していればよく、 V_{com} の発生は容易である。しかし、上記のとおり、フィールドスルー電圧は必ずゼロ以上の電圧になり、しかも厄介なことにその電圧は製造誤差等の影響でパネルごとにばらつきが避けられないから、あらかじめフィールドスルー電圧を考慮して適正な V_{com} に設定することは不可能である。そこで、従来は、画面を確認しながら例えばフリッカが最も目立たなくなるように手動で V_{com} を調節していた。

【0009】

【発明が解決しようとする課題】かかる従来の対策は、一台ごとの調整作業を必要とするため、非効率であるばかりか再現性も悪く、しかも経時的な変化にまったく対処できないという問題点があるうえ、さらに階調電圧も例示の一種類（ V_d ）だけでなく、表示入力信号のビット数に応じた多数（例えば4ビットデジタル入力の場合は2⁴種類）の階調電圧が用いられるから、仮に V_d に適合した V_{com} であっても他の階調電圧には必ずしも適合しない（したがって、パネル特性への悪影響が避けられない）という問題点がある。

【0010】そこで、本発明の目的は、調整をまったく必要とせず、かつ、経時的な変化にも対処でき、しかもすべての階調電圧を対象にしたフィールドスルー電圧の補正技術を提供することにある。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために、交差状に配列した多数のゲートバスライン及び多数のデータバスライン、並びに、該ゲートバスラインとデータバスラインとの各交差点に配置した画素を備え、各画素は、ゲート電極を前記ゲートバスラインに接続し、ドレイン電極を前記データバスラインに接続し、且つ、ソース電極を画素電極に接続したTFTを含む液晶パネルにおいて、前記データバスラインと同一の電気的特性を有するダミーデータバスライン、及び、該ダミーデータバスラインと前記ゲートバスラインとの各交差点に配置したダミー画素を備え、各ダミー画素は、ゲート電極を前記ゲートバスラインに接続し、ドレイン電極を前記ダミーデータバスラインに接続し、且つ、ソース電極をダミー画素電極に接続したダミーTFTを含み、さらに、多数の階調電圧のそれぞれを水平走査に同期して所定の順番で前記ダミーデータバスライン上に順

次に供給する供給手段と、オフ状態に遷移したダミーTFTのソース電位を取り込んで保持する、ダミーTFTごとの保持手段と、各保持手段のそれぞれの保持電位をA倍し、且つ前記順番を加味した一つの階調電圧の2A倍値から該A倍の保持電圧を減算して出力する出力手段と、を備えたことを特徴とするものである。

【0012】これによれば、多数の階調電圧のそれぞれが、所定の順番で、水平走査に同期して各々のダミー画素に書き込まれる。そして、ダミーTFTがオフ状態に遷移すると、そのダミーTFTのソース電位（すなわち画素電極の書込電位）が保持手段に保持された後、この保持電圧と前記順番を加味した一つの階調電圧とに基づいて、出力手段よりフィールドスルー電圧分を上乗せした電圧（新たな階調電圧）が出力される。

【0013】ここで、保持電圧と階調電圧との差は、その階調電圧に対応した実際のフィールドスルー電圧に相当するから、その階調電圧の2倍値から保持電圧を減算すれば、フィールドスルー電圧を上乗せした大きさの新たな階調電圧が得られる。したがって、以降、この新たな階調電圧を用いて表示を行えば、その上乗せ分で実際のフィールドスルー電圧が打ち消される結果、上記目的が達成されるのである。

【0014】なお、“順番を加味する”とは、そのダミー画素に書き込まれた階調電圧と同じ階調電圧を減算に用いるという意味である。

【0015】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1は本実施例の液晶パネルの要部レイアウト模式図であり、20は液晶パネル、21はゲートライン駆動回路、22はゲートライン駆動回路である。本実施例の液晶パネル20は、多数のデータバスライン23_i（図では水平方向最後のゲートバスライン23_iを代表的に示している）と、多数のゲートバスライン24_i（図ではそのうちの1番目、2番目及び3番目からn番目までのn本のゲートバスライン24₁、24₂、24₃、……、24_nを示している；但しnは階調電圧の数）とを交差状に配列し、各交差点に、TFT 25_(i,j)と画素電極26_(i,j)からなる画素27_(i,j)を配置した点で従来例（図4）と共通するが、有効表示領域外のいわゆるブラックマトリクス部分に、次に述べる構成を備える点で相違する。

【0016】すなわち、ブラックマトリクス部分には、前記データバスライン23_iと同一の電気的特性（同一抵抗及び同一容量）を有するダミーデータバスライン30が1本敷設されており、さらに、このダミーデータバスライン30と前記ゲートバスライン24_iとの各交差点にダミー画素31_iが設けられており、このダミー画素31_iは、TFT 32_iと画素電極33_iを有する点で、有効表示領域内の画素27_(i,j)と共通するが、各TFT 32_iのソース電極の電位を配線34_iによって

外部に引き出している点で相違する。

【0017】配線34_iによって引き出されたソース電極(すなわち画素電極33_i)の電位(便宜的に V_{n_i})は、図2に示す昇圧回路40_iに供給される。図2において、昇圧回路40_iは、少なくとも階調電圧の数

(n)と同数だけ設けられており、何れも同一の構成である。以下、 V_n が供給される一つの昇圧回路40_iを代表にしてその構成を説明する。

【0018】昇圧回路40_iは、所定のタイミング信号 T_i に従ってオンするスイッチ要素41と、このスイッチ要素41を介して供給される V_n を保持する容量42と、容量42に保持された V_n を A 倍(但し $A>0$)に増幅して出力する第1増幅器43と、階調電圧 V_i を $2A$ 倍に増幅する第2増幅器44と、第2増幅器44の出力 V_i' から第1増幅器43の出力 V_n' を減算して出力する出力回路45とを有している。スイッチ要素41及び容量42は発明の要旨に記載の保持手段に相当し、また、第1増幅器43、第2増幅器44及び出力回路45は発明の要旨に記載の出力手段に相当する。

【0019】以上の構成において、階調電圧 $V_1 \sim V_n$ のそれぞれを水平走査に同期させて順次にダミーデータバスライン30に供給……おそらくデータバスライン駆動回路22から供給することになる。したがってデータバスライン駆動回路22は発明の要旨に記載の供給手段に相当する……すると、第1走査周期でダミーTFT32₁がオンして最初に供給された階調電圧 V_1 が第1走査線上のダミー画素31₁に書き込まれ、第2走査周期でダミーTFT32₂がオンして2番目に供給された階調電圧 V_2 が第2走査線上のダミー画素31₂に書き込まれ、第3走査周期でダミーTFT32₃がオンして3番目に供給された階調電圧 V_3 が第3走査線上のダミー画素31₃に書き込まれ、……第 n 走査周期でダミーTFT32_nがオンして n 番目に供給された階調電圧 V_n が第 n 走査線上のダミー画素31_nに書き込まれる。

【0020】ダミー画素31₁～31_nに書き込まれた電圧(ダミー画素電極33₁～33_nの電圧 $V_{n_1} \sim V_{n_n}$)は元の階調電圧よりも低く、その差(例えば $V_1 - V_{n_1}$)は冒頭で述べたフィールドスルー電圧に相当する。ダミー画素電極33₁～33_nの電圧 $V_{n_1} \sim V_{n_n}$ は、昇圧回路40₁～40_nに供給され、所定のタイミング($T_1 \sim T_n$)で昇圧回路内の容量42に保持される。ここで、所定のタイミングは、ダミーTFT32₁～32_nのオフ期間内であればよく、好ましくは、ダミーTFT32₁～32_nのオフ遷移直後、言い換えればダミー画素電極33₁～33_nへの書込完了直後である。したがって、1番目のダミーTFT32₁のオフ遷移直後には昇圧回路40₁の容量42に V_{n_1} が保持され、2番目のダミーTFT32₂のオフ遷移直後には昇圧回路40₂の容量42に V_{n_2} が保持され、3番目のダ

ミーTFT32₃のオフ遷移直後には昇圧回路40₃の容量42に V_{n_3} が保持され、……、 n 番目のダミーTFT32_nのオフ遷移直後には昇圧回路40_nの容量42に V_{n_n} が保持されることになる。

【0021】各昇圧回路(代表して40_i)では、容量42に保持された V_n を A 倍するとともに、この V_n に対応する階調電圧 V_i を $2A$ 倍し、さらに、 $2A$ 倍した階調電圧 V_i (図2では V_i')から A 倍の V_n (図2では $V_{n'}$)を減算し、その減算結果(図2では $V_{n''}$)を出力するという処理を実行するが、この処理の意味するところは次のとおりである。

【0022】説明の簡単化のために $A=1$ とすると、 V_i' 、 $V_{n'}$ 及び $V_{n''}$ の関係は、図3のようにイメージできる。すなわち、 V_i' は $V_i \times 2$ であるから V_i を2段積み重ねた大きさになり、 $V_{n'}$ は V_n と同じ大きさになる。ここで、 $V_{n''}$ は V_i よりも小さく、その差は冒頭で述べたフィールド電圧に相当するので、 V_i' から $V_{n'}$ を減算すれば、その減算結果である $V_{n''}$ は、 V_i にフィールドスルー電圧を積み重ねた大きさとなる。したがって、元の階調電圧 V_i の代わりにこの $V_{n''}$ を用いて表示を行えば、実際のフィールドスルー電圧が、同積み重ね分によって打ち消されるから、冒頭で述べた本願発明の目的を達成できるのである。

【0023】

【発明の効果】本発明によれば、調整をまったく必要とせず、かつ経時的な変化にも対処でき、しかもすべての階調電圧を対象にしたフィールドスルー電圧の補正技術を実現できる。したがって、無調整で画質の向上と液晶の劣化防止を図ることができるうえ、その効果を長期にわたって維持できるという従来技術にない格別有利な効果が得られる。

【図面の簡単な説明】

【図1】一実施例の要部レイアウト模式図である。

【図2】一実施例の昇圧回路のブロック図である。

【図3】一実施例の昇圧回路の動作イメージ図である。

【図4】従来の液晶パネルの平面レイアウト概略図である。

【図5】画素の詳細レイアウト図である。

【図6】付加容量方式の回路図である。

【図7】TFTの各電極波形図である。

【符号の説明】

22：データバスライン駆動回路(供給手段)

23_j：データバスライン

24_i：ゲートバスライン

25_(i,j)：TFT

26_(i,j)：画素電極

27_(i,j)：画素

30：ダミーデータバスライン

31_i：ダミー画素

32_i：ダミーTFT

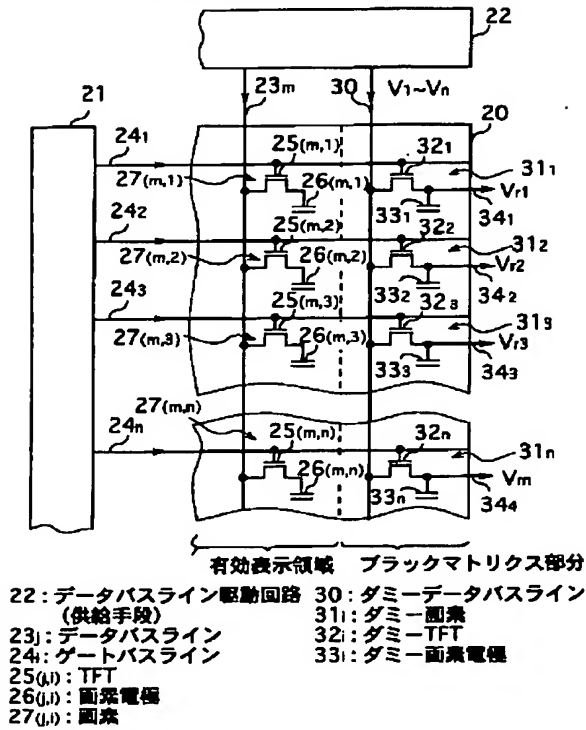
- 33_i : ダミー画素電極
 41 : スイッチ要素 (保持手段)
 42 : 容量 (保持手段)
 43 : 第1増幅器 (出力手段)

- * 44 : 第2増幅器 (出力手段)
 45 : 出力回路 (出力手段)
 V₁ ~ V_n : 階調電圧

*

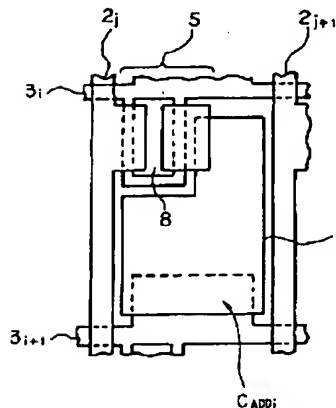
【図1】

一実施例の要部レイアウト模式図



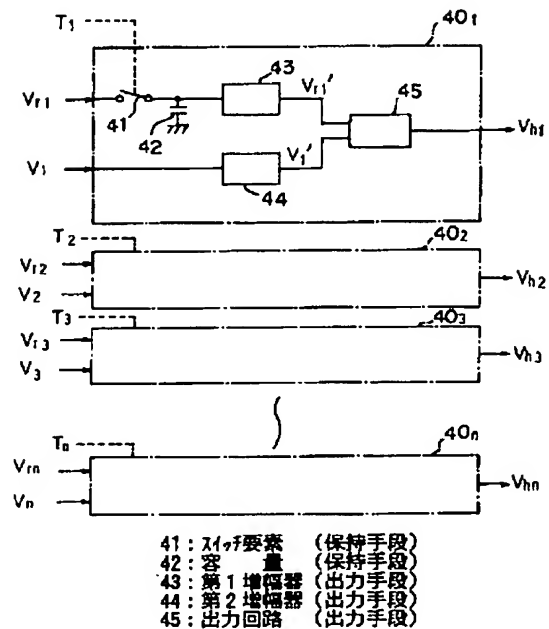
【図5】

画素の詳細レイアウト図



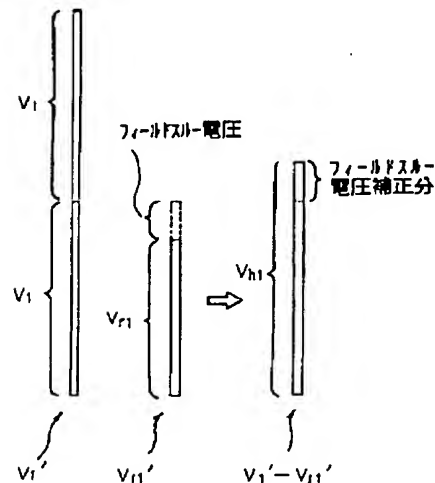
【図2】

一実施例の昇圧回路のブロック図



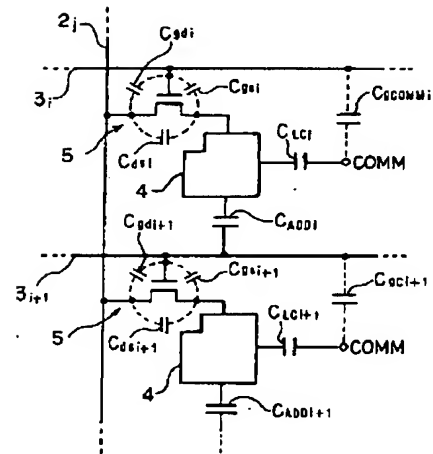
【図3】

一実施例の昇圧回路の動作イメージ図



【図6】

付加容量方式の回路図



TFTの各電極波形図

